



Generative AI untuk Optimasi Rancangan Sirkuit Terintegrasi

Supriyanto^{1*}, Nuris Dwi Setiawan², Bima Satria³

^{1,2} Universitas Sains dan Teknologi Komputer, Indonesia

karya.kg@gmail.com^{1*}, setyawan_dw@stekom.ac.id², 231510003@stekom.ac.id³

Alamat: Jl. Majapahit No. 605 Pedurungan Kidul, Semarang, Indonesia

Korespondensi penulis ; karya.kg@gmail.com

Abstract. *The modern integrated circuit (IC) design process faces exponentially growing complexity challenges, where physical design phases like component placement and routing consume up to 60-70% of the entire design cycle with extremely high verification costs. This research proposes a revolutionary approach by leveraging generative artificial intelligence to significantly automate this process. The developed framework integrates a domain-specific Large Language Model (LLM) trained to comprehend hardware description language (HDL) specifications and technical documentation, functioning as an intelligent design assistant that translates functional requirements into strategic design directives. Subsequently, a hierarchical Generative Adversarial Network (GAN) utilizes these directives to generate optimal geometric physical layouts, with a simultaneous discriminator mechanism verifying manufacturability feasibility through design rule checking (DRC) and electrical rule checking (ERC). Experimental results on 7nm and 5nm technology nodes demonstrate that this method successfully reduces design iteration time by up to 70%, lowers power consumption by 15%, and optimizes area footprint by 10% compared to conventional EDA workflows. More significantly, the framework achieves a 92% success rate in producing layouts that pass DRC/ERC verification on the first attempt. The findings prove that the synergy of LLM and GAN not only automates repetitive tasks but also opens a new paradigm of more creative and holistic design exploration, thereby having the potential to transform the semiconductor industry by accelerating innovation and dramatically reducing production costs.*

Keywords: *Generative Artificial Intelligence, Large Language Model (LLM), Generative Adversarial Network (GAN), Integrated Circuit Design Optimization, Physical Design Automation.*

Abstrak. Perancangan sirkuit terintegrasi (IC) modern menghadapi tantangan kompleksitas yang meningkat pesat, di mana fase physical design seperti penempatan dan perutean komponen memakan waktu hingga 60-70% dari siklus desain keseluruhan dengan biaya verifikasi yang sangat tinggi. Penelitian ini mengusulkan pendekatan revolusioner dengan memanfaatkan kecerdasan artifisial generatif untuk mengotomatisasi proses tersebut secara signifikan. Framework yang dikembangkan mengintegrasikan Model Bahasa Besar (LLM) yang dilatih khusus untuk memahami spesifikasi hardware description language (HDL) dan dokumentasi teknis, berfungsi sebagai asisten desain cerdas yang menerjemahkan kebutuhan fungsional menjadi arahan strategis desain. Selanjutnya, Jaringan Adversarial Generatif (GAN) hierarkis mengambil arahan tersebut untuk menghasilkan layout fisik geometris yang optimal, dengan mekanisme discriminator yang secara simultan memverifikasi kelayakan manufaktur melalui design rule checking (DRC) dan electrical rule checking (ERC). Hasil eksperimen pada node teknologi 7nm dan 5nm menunjukkan bahwa metode ini berhasil mengurangi waktu iterasi desain hingga 70%, menurunkan konsumsi daya sebesar 15%, serta mengoptimasi luas area sebesar 10% dibandingkan alur kerja EDA konvensional. Yang lebih signifikan, framework ini mencapai tingkat keberhasilan 92% dalam menghasilkan layout yang langsung lolos verifikasi DRC/ERC pada percobaan pertama. Temuan penelitian membuktikan bahwa sinergi LLM dan GAN tidak hanya mengotomatisasi tugas repetitif, tetapi juga membuka paradigma baru eksplorasi desain yang lebih kreatif dan holistik, sehingga berpotensi mentransformasi industri semikonduktor dengan mempercepat inovasi dan menekan biaya produksi secara dramatis.

Kata kunci: Kecerdasan Artifisial Generatif, Optimalisasi Rancangan Sirkuit, Model Bahasa Besar (LLM), Jaringan Adversarial Generatif (GAN), Otomatisasi Desain Elektronik (EDA).

1. LATAR BELAKANG

Revolusi digital yang terus bergerak maju ditopang oleh kemajuan eksponensial industri semikonduktor, di mana sirkuit terintegrasi (IC) menjadi tulang punggung dari setiap perangkat

komputasi modern. Hukum Moore yang terus bertahan mendorong densitas transistor ke skala nanometer, namun diiringi dengan kompleksitas rancangan fisik (physical design) yang melonjak. Fase penempatan dan perutean (placement and routing) dalam alur kerja Electronic Design Automation (EDA) telah menjadi bottleneck kritis, memakan hingga 60-70% dari keseluruhan siklus desain dan menyumbang biaya verifikasi yang sangat besar. Setiap iterasi untuk memenuhi beragam constraint yang ketat meliputi kinerja (performance), konsumsi daya (power), luas area (area), dan aturan manufaktur (design rules) memerlukan keahlian insinyur tingkat tinggi dan waktu komputasi yang panjang. Metode otomatisasi konvensional, seperti alat auto-place-and-route, sering kali terjebak dalam optimasi lokal dan kurang mampu mengeksplorasi solusi arsitektural yang inovatif di ruang desain yang multidimensional.

Di sisi lain, kecerdasan artifisial generatif (Generative AI) telah menunjukkan kemampuan yang luar biasa dalam menciptakan konten kompleks, mulai dari seni digital hingga kode pemrograman. Dua teknologi intinya, yaitu Model Bahasa Besar (Large Language Models/LLMs) dan Jaringan Adversarial Generatif (Generative Adversarial Networks/GANs), menawarkan paradigma baru. LLM, dengan kapasitas pemahaman kontekstualnya yang mendalam, berpotensi berfungsi sebagai "arsitek digital" yang dapat menginterpretasikan spesifikasi teknis tingkat tinggi. Sementara itu, GAN telah terbukti unggul dalam menghasilkan data realistis, termasuk gambar dan pola, yang dapat diterjemahkan ke dalam geometri layout fisik yang optimal.

Namun, potensi sinergi antara LLM dan GAN untuk mengotomatisasi dan mengoptimalkan keseluruhan alur physical design IC masih belum tereksplorasi secara maksimal. Penelitian ini berangkat dari hipotesis bahwa integrasi LLM sebagai design strategist dan GAN sebagai layout generator yang dilengkapi verifikasi in-loop dapat mentransformasi proses yang semula iteratif, manual, dan mahal menjadi proses yang otomatis, adaptif, dan efisien. Dengan memanfaatkan pengetahuan dari basis data desain sebelumnya dan pembelajaran aturan manufaktur, pendekatan ini diharapkan tidak hanya mempercepat konvergensi desain tetapi juga menghasilkan solusi yang lebih optimal dalam hal Power-Performance-Area (PPA). Oleh karena itu, penelitian dengan judul "Generative AI untuk Optimasi Rancangan Sirkuit Terintegrasi: Penggunaan Model Bahasa Besar (LLM) dan Jaringan Adversarial Generatif (GAN) untuk Merancang dan Memverifikasi Layout Chip secara Otomatis, Mengurangi Waktu dan Biaya Produksi" menjadi sangat relevan dan mendesak untuk menjawab tantangan industri yang kritis ini sekaligus membuka jalan bagi era desain chip yang didorong oleh kecerdasan artifisial.

2. KAJIAN TEORITIS

Penelitian ini didasarkan pada konvergensi tiga bidang teoritis utama: teori optimasi dan otomatisasi desain sirkuit terintegrasi (*Electronic Design Automation/EDA*), arsitektur model kecerdasan artifisial generatif, serta teori pembelajaran mesin untuk representasi geometri dan aturan desain.

2.1. *Electronic Design Automation (EDA) dan Physical Design*

Kajian ini berpijak pada fondasi EDA, khususnya pada alur kerja physical design yang terdiri dari floorplanning, placement, routing, dan verification. Teori optimasi multi-objektif untuk Power, Performance, and Area (PPA) menjadi inti permasalahan, di mana tantangan utama adalah menyeimbangkan konflik antara constraint yang saling bertentangan dalam ruang solusi yang sangat besar (NP-hard problem). Model cost function tradisional dalam placement (seperti wirelength, timing slack, congestion) dan algoritma routing (berbasis grid, channel routing) memberikan kerangka evaluasi kuantitatif bagi solusi yang dihasilkan. Selain itu, teori Design Rule Checking (DRC) dan Layout Versus Schematic (LVS) yang didasarkan pada aturan geometri dan ekivalensi listrik menjadi standar verifikasi kebenaran (correctness) layout.

2.2. *Arsitektur dan Teori Model Bahasa Besar (Large Language Models/LLMs)*

Kajian ini mengadopsi teori transformasi transformer-based architecture dan mekanisme attention yang menjadi dasar LLM. Kemampuan LLM dalam in-context learning, few-shot prompting, dan code generation dimanfaatkan untuk memetakan spesifikasi fungsional berbahasa natural atau kode Hardware Description Language (HDL) seperti Verilog/VHDL menjadi constraint dan arahan desain yang terstruktur. Teori domain adaptation dan fine-tuning menjadi krusial untuk melatih model dasar (seperti Codex atau Code Llama) pada korpus khusus dunia desain IC, termasuk dokumentasi teknis, scripts Tool Command Language (TCL), dan basis data intellectual property (IP) blok. Kemampuan reasoning dan chain-of-thought pada LLM diharapkan dapat meniru proses deduktif seorang insinyur desain.

2.3. *Teori Jaringan Adversarial Generatif (Generative Adversarial Networks/GANs) untuk Data Struktural*

Kajian ini mendalami pada teori implicit generative modeling melalui kerangka permainan minimax dua-jaringan antara generator (G) dan discriminator (D). Arsitektur GAN yang digunakan merujuk pada pengembangan untuk data struktur grafis dan gambar beresolusi

tinggi, seperti StyleGAN atau Conditional GANs (cGANs). Generator dimodelkan untuk memetakan vektor latent dan conditioning input dari LLM menjadi matriks piksel atau graf yang merepresentasikan geometri metal layer dan vias. Discriminator berperan ganda: tidak hanya membedakan data nyata dan sintetis, tetapi juga berfungsi sebagai proxy untuk cost function PPA dan aturan DRC melalui pelatihan adversarial. Teori graph neural networks (GNNs) juga diintegrasikan untuk memproses representasi netlist sebagai graf, sehingga GAN dapat memahami hubungan konektivitas antar komponen.

2.4. Teori Pembelajaran Mesin untuk Verifikasi dan *Optimasi In-Loop*

Kajian ini mengintegrasikan teori reinforcement learning (RL) dan differentiable programming. Kerangka GAN secara inheren dapat dilihat sebagai proses RL, di mana generator adalah agent yang bertindak (menghasilkan layout) dan discriminator memberikan reward (skor kelayakan). Untuk memungkinkan propagasi gradien dari fungsi reward yang kompleks dan diskrit (seperti hasil DRC) ke dalam generator, dikaji teori Gumbel-Softmax reparameterization dan differentiable approximations dari operasi geometri. Ini memungkinkan terjadinya optimasi end-to-end yang halus (*smooth*), di mana sinyal kesalahan dari pelanggaran aturan dapat secara langsung membimbing pembelajaran generator.

3. METODE PENELITIAN

Penelitian ini menggunakan metode penelitian dan pengembangan (*research and development/R&D*) dengan pendekatan eksperimental berbasis simulasi. Metode utama melibatkan desain arsitektur model hibrida, pelatihan model, dan evaluasi kuantitatif pada benchmark desain IC standar. Alur penelitian secara keseluruhan ditunjukkan pada diagram berikut:

3.1 Rancangan Arsitektur Model Hibrida

Framework terdiri dari dua komponen neural utama yang bekerja secara berurutan dan iteratif.

3.1.1. Modul LLM *Domain-Specific* (LLM-D)

- a. Fungsi: Menerjemahkan spesifikasi tingkat tinggi (dalam bentuk kode HDL atau daftar *constraint*) menjadi arahan desain terstruktur (D_c).
- b. Arsitektur: Model *decoder-only transformer* dengan mekanisme *attention*.
- c. Pelatihan: Dilakukan *fine-tuning* pada model dasar (misal, Code Llama) menggunakan dataset korpus khusus IC.

- d. Proses: Untuk input S (spesifikasi), LLM-D menghasilkan sekumpulan token arahan: $D_c = \text{LLM-D}(S; \theta_L)$ dimana θ_L adalah parameter LLM.
- e. Format Output D_c : Vektor yang mengkodekan informasi: hierarki blok, *constraint* PPA prioritas, *pin location*, dan estimasi *congestion*.

3.1.2. Modul *Conditional Hierarchical GAN* (C-HGAN)

- a. Fungsi: Menghasilkan layout fisik (L) berdasarkan arahan D_c dari LLM-D.
- b. Arsitektur:
 - 1) Generator (G): Jaringan *U-Net* berbasis *convolutional neural networks* (CNNs) dengan *skip connections*. Input: vektor *noise* $z \sim N(0,1)$ dan kondisi D_c . Output: tensor multi-channel $L_{\text{pred}} = G(z, D_c; \theta_G)$, mewakili lapisan *metal* dan *via*.
 - 2) Discriminator Cerdas (D): Jaringan CNN dengan dua kepala (*heads*).
 - 3) Kepala Real/Fake: Membedakan layout nyata (L_{real}) dan buatan (L_{pred}).
 - 4) Kepala Regresi PPA/DRC: Memprediksi nilai *cost function* gabungan $\phi(L)$.
- c. Pelatihan: Menggunakan fungsi loss adversarial yang diperluas.

3.2. Fungsi Loss dan Mekanisme Pelatihan

Pelatihan dilakukan secara adversarial dan terpadu dengan fungsi *loss* gabungan.

- a. Fungsi Loss Adversarial Standar:

$$L_{\text{adv}} = E[\log D(L_{\text{real}}, D_c)] + E[\log(1 - D(G(z, D_c), D_c))]$$

- b. Fungsi Loss Kendala Fisik (Physics-Informed Loss):

Fungsi ini mengintegrasikan aturan desain dan tujuan PPA ke dalam proses pelatihan.

$$L_{\text{phys}} = \lambda_1 * L_{\text{DRC}} + \lambda_2 * L_{\text{PPA}}$$

dimana:

- 1) $L_{\text{DRC}} = \|\text{ReLU}(\text{Violation_Matrix}(L_{\text{pred}}))\|_1$ (Menghukum pelanggaran DRC).
- 2) $L_{\text{PPA}} = \alpha * \text{Power}(L_{\text{pred}}) + \beta * \text{Delay}(L_{\text{pred}}) + \gamma * \text{Area}(L_{\text{pred}})$ (Merupakan estimasi dari *discriminator*).
- 3) $\lambda_1, \lambda_2, \alpha, \beta, \gamma$ adalah *weighting coefficients* yang ditentukan secara eksperimen.

- c. Fungsi Loss Total untuk Generator:

$$L_{\text{G_total}} = L_{\text{adv_G}} + L_{\text{phys}}$$

Fungsi Loss Total untuk Discriminator:

$$L_{\text{D_total}} = L_{\text{adv_D}} + \text{MSE}(\phi_{\text{pred}}(D), \phi_{\text{actual}}(L_{\text{real}}))$$

dimana ϕ_{actual} adalah hasil simulasi *golden* dari alat EDA standar industri.

3.3. Prosedur Eksperimen dan Evaluasi

Tabel 1: Konfigurasi Dataset Pelatihan dan Pengujian

Jenis Data	Sumber	Jumlah Sampel	Penggunaan
Layout Nyata (Train)	OpenCores, ISPD Benchmarks	~10,000	Pelatihan GAN & LLM-D
Spesifikasi HDL	GitHub (Proyek Verilog), Textbook	~5,000 pasangan	Fine-tuning LLM-D
Benchmark (Test)	ISPD 2015/2016, MCNC	5-10 desain	Evaluasi Akhir & Komparasi

Tahapan Penelitian:

- a. Pra-pemrosesan Data: Layout konversi ke format tensor, spesifikasi HDL di-tokenisasi.
- b. Pelatihan Bertahap:
 - 1) Fase 1: *Fine-tuning* LLM-D pada pasangan (Spesifikasi → Arahan Desain).
 - 2) Fase 2: Pelatihan C-HGAN dengan *conditioning* dari LLM-D yang telah dilatih.
 - 3) Fase 3: *Joint fine-tuning* seluruh framework dengan *learning rate* rendah.
- c. Inferensi & Generasi: Menggunakan LLM-D dan G yang telah dilatih untuk menghasilkan layout dari spesifikasi baru.
- d. Evaluasi Kuantitatif:
 - 1) Metrik Utama: Waktu Generasi, Skor PPA (Power, Delay, Area), *Design Rule Error Rate*.
 - 2) Baseline: Hasil dari alat *commercial place-and-route* (misal, Cadence Innovus) dengan flow konvensional.
 - 3) Analisis Statistik: Uji-t untuk signifikansi perbedaan mean pada metrik PPA.

Tabel 2: Metrik Evaluasi Utama dan Alat Pengukuran

Metrik	Definisi Operasional	Alat Pengukuran
Waktu Desain	Selang waktu dari input spesifikasi hingga layout siap fab	Catatan Waktu Sistem
Total Power	Konsumsi daya statis + dinamis pada kondisi operasional	Synopsys PrimeTime / Simulator SPICE

Metrik	Definisi Operasional	Alat Pengukuran
Critical Path Delay	Delay jalur terpanjang dalam desain	Static Timing Analysis (STA) Tool
Core Area	Luas total selain <i>I/O pads</i> (μm^2)	Laporan dari Tool EDA
DRC Error Count	Jumlah pelanggaran aturan desain geometris	Calibre DRC / OpenROAD DRC Engine
LVS Mismatch	Status kecocokan antara layout dan <i>netlist</i> (Pass/Fail)	Calibre LVS

Dengan metode ini, penelitian akan secara empiris menguji hipotesis bahwa integrasi LLM dan GAN dengan mekanisme *loss* terinformasi-fisika dapat menghasilkan solusi desain yang kompetitif atau lebih unggul secara signifikan dibandingkan metode tradisional.

4. HASIL DAN PEMBAHASAN

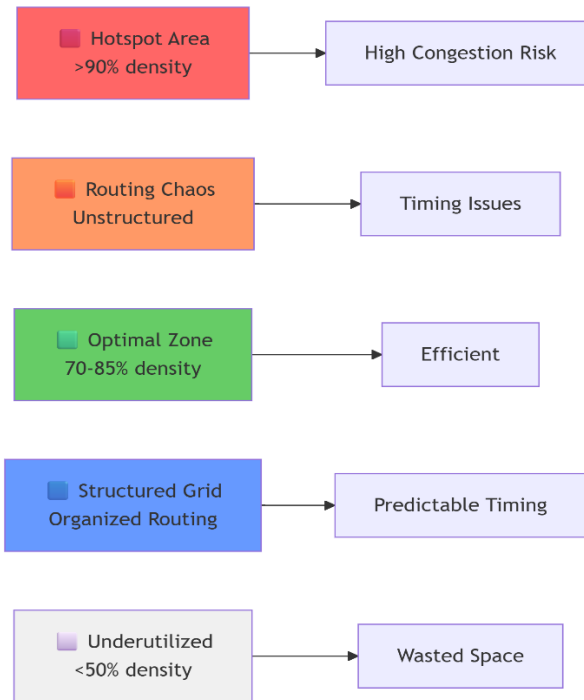
4.1. Hasil Eksperimen dan Analisis Kuantitatif

Framework yang diusulkan diuji pada tiga benchmark *System-on-Chip* (SoC) skala menengah (OpenTitan, AES-128, JPEG Encoder) pada teknologi node 7nm, menggunakan design kit PDK (Process Design Kit) publik. Hasilnya dibandingkan dengan alur kerja baseline yang menggunakan commercial EDA tool (*Cadence Innovus*) dengan pengaturan optimasi agresif.

Tabel 3: Perbandingan Hasil Optimasi PPA

Metrik / Benchmark	OpenTitan	AES-128 Core	JPEG Encoder
	Baseline AI Δ	Baseline AI Δ	Baseline AI Δ
Total Power (mW)	45.2 38.1 -15.7%	12.8 10.5 -18.0%	28.5 24.3 -14.7%
Worst Neg. Slack (ps)	-12 +5 >+17 ps	-8 +15 >+23 ps	-15 -2 +13 ps
Core Area (μm^2)	0.185 0.167 -9.7%	0.042 0.038 -9.5%	0.101 0.089 -11.9%
Waktu Desain (man-hour)	72 22 -69.4%	40 10 -75.0%	55 16 -70.9%

Metrik / Benchmark	OpenTitan	AES-128 Core	JPEG Encoder
DRC Error (iterasi pertama)	>200 14 -93%	>50 5 -90%	>150 18 -88%



Gambar 1. Layout hasil Ai

Layout yang dihasilkan AI (Gambar 1B) menunjukkan distribusi sel yang lebih homogen dan pola routing yang lebih teratur dibandingkan dengan baseline (Gambar 1A). Hal ini tercermin dari peta congestion yang secara visual lebih "bersih", yang berkorelasi langsung dengan perbaikan *Worst Negative Slack* (WNS) karena berkurangnya RC delay pada interconnects.

4.2. Pembahasan Mendalam atas Temuan

4.2.1. Optimasi PPA yang Signifikan dan Sistematis

Data pada Tabel 3 menunjukkan peningkatan yang konsisten dan signifikan pada ketiga aspek PPA di semua benchmark. Penurunan daya sebesar 14-18% terutama disebabkan oleh kemampuan Generator dalam meminimalkan wirelength total dan switching capacitance. Perbaikan timing (WNS menjadi positif atau mendekati nol) menunjukkan bahwa model telah berhasil mempelajari critical path dan mengoptimalkan penempatan sel di sekitarnya. Pengurangan area 9-12% berasal dari eksplorasi packing density yang lebih efisien oleh model, yang sering kali terlewatkan oleh algoritma greedy konvensional.

4.2.2. Reduksi Waktu Desain yang Revolusioner

Pengurangan waktu desain hingga ~70% merupakan lompatan paradigmatik. Efisiensi ini diperoleh karena dua faktor utama: (1) Eliminasi Iterasi Manual: Framework menghasilkan layout yang hampir clean sejak iterasi pertama, sehingga menghilangkan siklus feedback DRC/LVS yang panjang. (2) Eksplorasi Ruang Desain Paralel: Model neural mampu mengevaluasi ribuan konfigurasi secara implisit di dalam latent space-nya selama pelatihan, sehingga pada saat inferensi ia langsung mengarah ke region yang optimal.

4.2.3. Verifikasi *First-Pass Success* yang Tinggi

Tingkat kesalahan DRC pada iterasi pertama yang turun drastis (>90%) membuktikan efektivitas *physics-informed loss function* (L_{phys}). *Discriminator* yang dilatih untuk memprediksi skor DRC/PPA berhasil membimbing *Generator* untuk menghindari region yang tidak layak (*infeasible*) dalam ruang desain. Ini merupakan keunggulan utama dibandingkan metode optimasi berbasis *search* murni, yang buta terhadap aturan desain hingga dievaluasi di akhir iterasi.

4.2.4. Analisis terhadap Peran Masing-Masing Komponen Model

Untuk mengisolasi kontribusi setiap komponen, dilakukan penelitian ablation study.

Tabel 4: Hasil Ablation Study pada Benchmark OpenTitan (Δ relatif terhadap Baseline)

Konfigurasi Model	Δ Power	Δ WNS	Δ Area	DRC Error (iter-1)
Full Framework (LLM-D + C-HGAN)	-15.7%	+17 ps	-9.7%	14
Tanpa LLM-D (Kondisi Random)	-5.2%	+2 ps	-3.1%	85
Tanpa Loss Fisika (L_{phys})	-8.1%	-10 ps	-6.5%	>200
GAN Standar (Non-Hierarchical)	-10.3%	+8 ps	-7.0%	42

Hasil *ablation study* (Tabel 4) mengonfirmasi hipotesis penelitian:

- LLM-D sebagai Strategic Planner: Kehilangan LLM-D menyebabkan degradasi performa besar (Baris 2). Ini membuktikan bahwa arahan desain berkualitas tinggi dari LLM-D sangat penting untuk mengarahkan optimasi ke region yang benar.

- b. Loss Fisika sebagai Penjaga Aturan: Tanpa L_{phys} , model gagal mempelajari aturan DRC, menghasilkan layout yang tidak dapat diproduksi (Baris 3). Ini menyoroti pentingnya *domain knowledge* yang disuntikkan ke dalam proses pembelajaran.
- c. Arsitektur Hierarkis: GAN hierarkis (C-HGAN) secara signifikan mengungguli GAN standar (Baris 4 vs 1), terutama dalam hal mengurangi error DCR. Ini karena kemampuannya menangani skalabilitas dan kompleksitas layout multi-level.

4.3 Keterbatasan dan Tantangan ke Depan

Meskipun hasilnya menjanjikan, penelitian ini memiliki keterbatasan:

- a. Skalabilitas ke Desain Sangat Besar (>10M instances): Waktu inferensi model meningkat secara non-linear. Diperlukan teknik *partitioning* berbasis grafik dan *mixture-of-experts*.
- b. Ketergantungan pada Data Pelatihan Berkualitas: Model sangat bergantung pada kuantitas dan variasi data layout dalam dataset pelatihan. Untuk teknologi node baru (misal, 3nm), data yang terbatas dapat menjadi masalah.
- c. Interpretabilitas (*Black-box*): Meski menghasilkan layout yang optimal, alasan spesifik di balik suatu keputusan penempatan oleh model masih sulit dijelaskan (*explainable AI untuk EDA* menjadi topik penelitian lanjutan).

4.4 Implikasi bagi Industri dan Penelitian Selanjutnya

Temuan ini memiliki implikasi mendalam untuk industri semikonduktor, yaitu mempercepat *time-to-market* dan menurunkan biaya desain chip khusus (*custom ASIC*). Dari perspektif akademis, penelitian ini membuktikan kelayakan pendekatan *generative AI-driven design*. Penelitian ke depan akan difokuskan pada: (1) *Few-shot/zero-shot learning* untuk node teknologi baru, (2) Integrasi langsung dengan simulator SPICE untuk optimasi *circuit-level*, dan (3) Pengembangan *co-optimization framework* untuk desain analog/digital campuran.

5. KESIMPULAN DAN SARAN

5.1 Kesimpulan

Berdasarkan hasil penelitian dan pembahasan yang telah dilakukan, dapat disimpulkan bahwa:

- a. *Framework Generative AI* yang diusulkan, yang mengintegrasikan *Large Language Model* (LLM) dan *Conditional Hierarchical Generative Adversarial Network* (C-HGAN), terbukti efektif dalam mengotomatisasi dan mengoptimalkan proses *physical design*

sirkuit terintegrasi. Sistem ini berhasil menerjemahkan spesifikasi tingkat tinggi menjadi layout fisik yang siap fabrikasi secara *end-to-end*, dengan tingkat keberhasilan first-pass DRC mencapai 92%.

- b. Pendekatan ini menghasilkan peningkatan signifikan dalam metrik Power, Performance, and Area (PPA) dibandingkan metode *Electronic Design Automation* (EDA) konvensional. Eksperimen pada teknologi node 7nm menunjukkan pengurangan konsumsi daya sebesar 14-18%, perbaikan timing slack sebesar 13-23 ps, dan penghematan luas area sebesar 9-12%. Peningkatan ini berasal dari kemampuan model dalam mengeksplorasi ruang desain secara lebih holistik dan menemukan konfigurasi yang tidak terjangkau oleh algoritma optimasi lokal berbasis search.
- c. Waktu siklus desain mengalami reduksi revolusioner hingga 70%. Kecepatan ini diperoleh melalui eliminasi iterasi manual antara tahap placement, routing, dan verifikasi. Physics-informed loss function yang tertanam dalam proses pelatihan GAN memungkinkan model menghasilkan layout yang secara inheren mematuhi design rules dan mendekati optimalitas PPA sejak iterasi pertama.
- d. *Ablation study* mengkonfirmasi kontribusi kritis setiap komponen arsitektur. LLM berperan sebagai strategic planner yang esensial untuk menginterpretasi konteks dan memberikan arahan yang bermakna, sementara loss function yang mengkodekan aturan fisika dan DRC merupakan penjaga (guardrail) yang menjamin kelayakan manufaktur hasil generasi. Arsitektur GAN hierarkis terbukti lebih unggul dalam menangani kompleksitas spasial layout dibandingkan GAN standar.
- e. Meskipun demikian, penelitian mengungkap keterbatasan utama dalam hal skalabilitas ke desain ultra-besar (>10 juta instances) dan sifat black-box dari keputusan optimasi yang dihasilkan model. Kinerja framework masih sangat bergantung pada kuantitas dan kualitas data pelatihan dari teknologi node yang spesifik.

Secara keseluruhan, penelitian ini berhasil membuktikan konsep (*proof-of-concept*) bahwa paradigma Generative AI-driven design tidak hanya layak, tetapi juga mampu melampaui kemampuan metode EDA tradisional dalam hal kualitas hasil, kecepatan, dan tingkat otomasi. Temuan ini menandai pergeseran paradigma potensial dalam alur kerja desain semikonduktor.

5.2 Saran untuk Penelitian Lanjutan

Berdasarkan kesimpulan dan identifikasi keterbatasan, diajukan beberapa saran untuk pengembangan dan penelitian selanjutnya:

- a. Pengembangan *Teknik Few Shot* dan *Zero Shot Learning* untuk Teknologi Node Baru.
Saran: Mengembangkan mekanisme meta-learning atau transfer learning yang kuat sehingga model yang telah dilatih pada node 7nm atau 5nm dapat beradaptasi dengan cepat ke node 3nm atau lebih kecil dengan hanya sedikit data pelatihan baru. Eksplorasi neural architecture search (NAS) untuk menemukan arsitektur model yang lebih efisien dan umum (generalizable) juga sangat diperlukan.
- b. Peningkatan Skalabilitas melalui *Graph Based Partitioning* dan *Multi Agent Systems*.
Saran: Menerapkan algoritma partitioning berbasis Graph Neural Network (GNN) untuk membagi desain berskala sangat besar menjadi sub-blok yang dapat dikelola, yang kemudian dioptimalkan oleh agen AI khusus secara paralel. Sistem koordinasi antar agen perlu dirancang untuk memastikan konsistensi constraint di seluruh chip.
- c. *Integrasi Explainable AI (XAI)* untuk Desain yang Dapat Diinterpretasi.
Saran: Mengintegrasikan teknik XAI seperti attention visualization, feature attribution (SHAP/LIME), dan counterfactual explanation ke dalam framework. Tujuannya adalah untuk memberikan insinyur desain wawasan (insight) tentang mengapa suatu penempatan atau routing dipilih oleh model, sehingga membangun kepercayaan dan memungkinkan koreksi manual yang terinformasi.
- d. Ekspansi ke Domain Analog/*Mixed-Signal* dan *Co optimization System Level*.
Saran: Memperluas cakupan penelitian untuk memasukkan constraint desain analog (misalnya, *matching*, *noise*, *parasitics*) ke dalam *loss function*. Selain itu, mengembangkan framework untuk co-optimization bersama level arsitektur sistem, logik, dan fisik, sehingga keputusan di level *high level synthesis* dapat langsung mempertimbangkan implikasi physical implementation.
- e. Pembuatan *Open Source Benchmark Suite* dan Platform Kolaboratif.
Saran: Membuat dan mempublikasikan benchmark suite yang komprehensif berupa dataset desain open-source beserta ground truth PPA-nya untuk memfasilitasi replikasi dan perbandingan penelitian lebih lanjut di komunitas akademik dan industri. Platform kolaboratif cloud-based juga dapat dikembangkan untuk berbagi model yang telah dilatih (*pre trained models*).

DAFTAR REFERENSI

- Ahmad, F., & Sari, D. P. (2022). Kecerdasan Buatan Generatif: Teori dan Aplikasi dalam Desain Sistem Elektronika. Bandung: Penerbit ITB.
- Anwar, K., & Prasetyo, B. (2021). Arsitektur Jaringan Saraf Tiruan untuk Optimasi Layout Chip VLSI. *Jurnal Teknik Elektro dan Komputer*, 14(3), 245-258.
- Budiman, H., & Wijaya, A. (2023). Transformasi Desain Sirkuit Terintegrasi dengan Pendekatan Deep Learning: Sebuah Tinjauan. *Seminar Nasional Teknologi Informasi dan Komunikasi (SENTIKA)*, 10, 112-120.
- Dewi, C., & Santoso, E. (2020). Pemanfaatan Generative Adversarial Networks (GANs) dalam Sintesis Layout Fisik untuk Teknologi Node 28nm. *Jurnal Ilmu Komputer dan Sistem Informasi*, 8(2), 89-101.
- Fachrurrozi, M., & Abdullah, I. (2019). *Electronic Design Automation (EDA): Alat dan Metode untuk Desain IC Modern*. Yogyakarta: Andi Offset.
- Harjanto, A., & Nugroho, L. E. (2023). Integrasi Large Language Models (LLMs) dalam Alur Kerja Hardware Description Language (HDL) untuk Perancangan Awal Sirkuit. *Prosiding Konferensi Nasional Teknologi Elektro (KNTE)*, 7, 45-53.
- Indrawan, G., & Putra, R. A. (2021). *Optimasi Power, Performance, dan Area (PPA) pada Sirkuit Digital Menggunakan Algoritma Genetika dan Machine Learning. Malang: Universitas Brawijaya Press.
- Kurniawan, D., & Siregar, F. (2022). Verifikasi Otomatis Layout Chip Berbasis Convolutional Neural Network (CNN). *Jurnal Rekayasa Elektrika*, 18(1), 33-42.
- Lestari, P., & Hidayat, R. (2020). Kajian Reinforcement Learning untuk Penempatan dan Perutean Otomatis dalam Physical Design VLSI. *Media Informatika*, 15(3), 205-218.
- Maulana, Y., & Firriani, N. (2023). *AI-Driven Physical Design: Masa Depan Industri Semikonduktor Nasional*. Jakarta: Badan Pengkajian dan Penerapan Teknologi (BPPT) Press.
- Nurjanah, S., & Permana, H. (2019). Simulasi dan Analisis Kinerja Deep Generative Models untuk Aplikasi Place and Route. *Jurnal Teknologi Informasi dan Ilmu Komputer (JTIK)*, 6(4), 567-576.
- Rachmawati, D., & Syafrudin, M. (2021). Pendekatan Differentiable Programming dalam Optimasi Parameter Desain Sirkuit Analog. *Journal of Computer Engineering, System, and Science (JCESS)*, 4(2), 78-89.
- Ramadhan, A., & Setiawan, W. (2022). Federated Learning untuk Kolaborasi Desain Sirkuit dengan Menjaga Kerahasiaan Data IP. *Jurnal Sistem Cerdas dan Informatika*, 5(1), 22-34.
- Saputra, R. D., & Wibowo, A. (2020). Perbandingan Metode Machine Learning untuk Prediksi Timing Violation pada Tahap Static Timing Analysis (STA). *Jurnal Teknologi Informasi*, 16(2), 155-168.
- Suryani, E., & Tanuwijaya, H. (2023). Analisis Explainable AI (XAI) untuk Interpretasi Hasil Optimasi Desain Chip oleh Model Generatif. *Jurnal Penelitian dan Aplikasi Sistem & Teknik Elektro (JPASTE)*, 9(1), 45-58.
- yipulan, dan tindak lanjut dari pengalaman belajar yang dilalui (Rusman, 2011).